

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 05-136426

(43) Date of publication of application : 01.06.1993

(51) Int.CI.

H01L 29/788

H01L 29/792

(21) Application number : 03-320884

(71) Applicant : ROHM CO LTD

(22) Date of filing : 09.11.1991

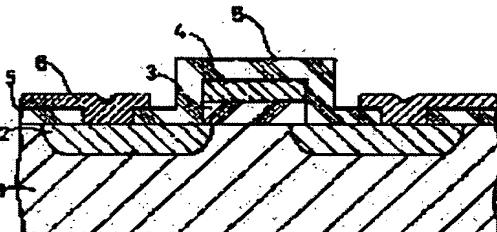
(72) Inventor : NAKAMURA TAKASHI

## (54) SEMICONDUCTOR ELEMENT WITH FERROELECTRIC LAYER AND MANUFACTURE THEREOF

### (57) Abstract:

**PURPOSE:** To form a ferroelectric film having excellent crystallizability, and to obtain an MFS type semiconductor element, in which ions are hardly diffused, by reducing the difference of lattice constants.

**CONSTITUTION:** The specified section of a semiconductor element composed of a ferroelectric layer 3 bridged and laminated onto a P-type SiC substrate 1, to which an N-type impurity diffusion layer 2 is formed, and a gate electrode 4 laminated onto the layer 3 is insulated by a layer insulating film 5, and a wiring-layer conductive film 6 is shaped to the impurity diffusion layer 2, thus constituting the semiconductor element. The P-type SiC substrate 1 is used as the substrate because the substrate 1 has a lattice constant of 4.36&angst; the difference of lattice constants between the substrate 1 has a small impurity diffusion coefficient as approximately one hundredth of Si. MFS type structure is formed of the impurity diffusion layer 2, the ferroelectric layer 3 and the gate electrode 4 in a ferroelectric memory transistor, and a large-sized semiconductor element can be manufactured though an SiC layer is used.



### LEGAL STATUS

[Date of request for examination] 05.11.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3116048

[Date of registration] 06.10.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C);1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-136426

(43)公開日 平成5年(1993)6月1日

(51)Int.Cl.<sup>5</sup>H 01 L 29/788  
29/792

識別記号

府内整理番号

F I

技術表示箇所

H 01 L 29/78

3 7 1

審査請求 未請求 請求項の数4(全5頁)

(21)出願番号

特願平3-320884

(22)出願日

平成3年(1991)11月9日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 中村 孝

京都府京都市右京区西院溝崎町21番地 ロ  
ーム株式会社内

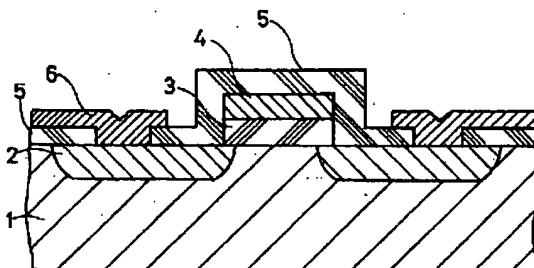
(74)代理人 弁理士 曽々木 太郎

(54)【発明の名称】 強誘電体層を有する半導体素子及びその製法

(57)【要約】

【目的】 結晶性の良い強誘電体層が形成されると共に、強誘電体層の構成元素のイオンが半導体基板中に拡散することが少ないMFS型半導体素子及びその製法を提供する。

【構成】 本発明のMFS型半導体素子は、基板1としてSiC基板を用いていることを特徴としている。また本発明の製法は、SiC基板14にSiC層15を成膜した後、強誘電体層16及びゲート電極17を成膜することを特徴としている。



(2)

特開平5-136426

2

## 【特許請求の範囲】

【請求項1】 S i Cからなる半導体基板と、該半導体基板の表層部に所定の間隔をおいて形成された不純物拡散層と、前記半導体基板上で前記不純物拡散層間に橋架された強誘電体層と、該強誘電体層上に積層された電極とからなることを特徴とする半導体素子。

【請求項2】 前記S i Cからなる半導体基板がS i 基板上に積層されてなることを特徴とする請求項1記載の半導体素子。

【請求項3】 前記強誘電体がP b元素含有ペロブスカイト構造体であることを特徴とする請求項1または2記載の半導体素子。

【請求項4】 S i 基板にS i C層を形成し、ついで強誘電体層およびゲート電極をこの順で前記S i C層に形成することを特徴とする半導体素子の製法。

## 【発明の詳細な説明】

## 【0 0 0 1】

【産業上の利用分野】 本発明はM F S型半導体素子及びその製法に関する。

## 【0 0 0 2】

【従来の技術】 従来より図7に示すように、不純物拡散層1 0 2が形成された半導体基板1 0 1上に、強誘電体層1 0 3及び電極1 0 4がこの順で積層されてなるM F S型半導体素子及びそれを用いてなる半導体装置が用いられている。

【0 0 0 3】 しかるに従来のM F S型半導体素子においては、半導体基板1 0 1にS i 基板やG a A s 基板を用い、強誘電体1 0 3にP Z T系強誘電体を用いているため、次のような問題が生じている。

【0 0 0 4】 ①格子定数の相違が大きいため、結晶性の良い強誘電体膜が得られない。

【0 0 0 5】 ②強誘電体構成元素のイオン、例えばP Z T系強誘電体の場合、P bイオンなどがS i 基板やG a A s 基板中に拡散してしまう。

【0 0 0 6】 ③S i 基板やG a A s 基板とP Z T系強誘電体層との界面にS i O<sub>2</sub>などの不要な膜が生成される。

## 【0 0 0 7】

【発明が解決しようとする課題】 本発明はかかる従来技術の問題点に鑑みなされたものであって、格子定数の相違を小さくすることにより結晶性の良い強誘電体膜が成膜でき、しかも強誘電体構成元素のイオンが半導体基板中に拡散することが少ないM F S型半導体素子及びその製法を提供することを目的とする。

## 【0 0 0 8】

【課題を解決するための手段】 本発明の半導体素子は、S i C基板からなる半導体基板と、該半導体基板の表層部に所定の間隔をおいて形成された不純物拡散層と、前記半導体基板上で前記不純物拡散層間に橋架された強誘電体層と、該強誘電体層上に積層された電極とからなる

10

## 【0 0 1 1】

【作用】 本発明においては、半導体基板としてP Z T系強誘電体と格子定数の相違が少なく、かつ不純物拡散係数が小さいS i C基板を用いているので、結晶性の良い強誘電体膜を成膜することができる。また、S i Cは化学的に安定があるので、強誘電体構成元素のイオンが半導体基板へ拡散することが防止できる。

【0 0 1 2】 また、本発明の製法によればS i 基板にS i C層を成膜形成しているので、半導体素子の大型化に対応することができる。

## 20 【0 0 1 3】

【実施例】 以下添付図面を参照しながら本発明の実施例について説明するが、本発明はかかる実施例のみに限定されるものではない。

【0 0 1 4】 図1は本発明の半導体素子を用いた強誘電体メモリトランジスタの一実施例の要部断面図、図2は図1に示すメモリトランジスタの電圧と分極の関係を示すグラフ、図3は本発明の半導体素子の第1実施例の成膜プロセスの一実施例の説明図、図4は本発明の半導体素子の第2実施例の成膜プロセスの一実施例の説明図、図5は本発明の半導体素子の第3実施例の成膜プロセスの一実施例の説明図、図6は本発明の半導体素子の第4実施例の成膜プロセスの一実施例の説明図を示す。

【0 0 1 5】 図1に示す強誘電体メモリトランジスタは、n型不純物拡散層2が形成されたp型S i C基板1上に、このn型不純物拡散層2に橋架して積層された強誘電体層3およびこの強誘電体層3上に積層されたゲート電極4からなる半導体素子の所定部分を層間絶縁膜で絶縁し、しかるのち不純物拡散層2に配線層導電膜6を形成してなるものである。

30

【0 0 1 6】 図1に示す実施例において、基板としてp型S i C基板1を用いるのは、格子定数が4. 36 Å(3 C)であり、強誘電体として用いられるP Z T(格子定数: 約4. 08~4. 12 Å)との格子定数の相違が小さいこと、不純物拡散係数がS i の1/100程度と小さいこと、および高温で安定であり、特に酸化速度が遅いのでS i O<sub>2</sub>膜などの不要な膜が生成されないためである。

40

【0 0 1 7】 強誘電体層3としては、A B O<sub>3</sub>型であるペロブスカイト構造を有する、P Z T、P L Z T、P b T i O<sub>3</sub>、B a T i O<sub>3</sub>など(以下、ペロブスカイト構造

(3)

特開平5-136426

3

体ともいう)が用いられるが、これに限定されるものではなく、強誘電性を示すものならいかなるものも用いることができる。その具体例としては、BaMgF<sub>4</sub>、NaCaF<sub>3</sub>、K<sub>2</sub>ZnCl<sub>4</sub>などのハロゲン化合物、Zn<sub>1-x</sub>Cd<sub>x</sub>Te、GeTe、Sn<sub>2</sub>P<sub>2</sub>S<sub>3</sub>などのカルコゲン化合物などが挙げられる。

【0018】図1に示す強誘電体メモリトランジスタにおいては、不純物拡散層2、強誘電体層3およびゲート電極4によりMFS型構造が形成される。なおSiC基板と強誘電体層3との間、および(または)強誘電体層3とゲート電極4との間にバッファ層が形成されてもよい。そしてこのMFS型強誘電体メモリトランジスタは、図2に示すような特性を有する。図2において、横軸は電界を、縦軸は分極を示す。図2より明らかなように、強誘電体層3にE<sub>sat</sub>以上の電界を生じさせる電圧(V<sub>max</sub>>0)をゲート電極4に印加すると、Aの状態まで分極しチャネルが形成される。この後、ゲート電圧を0にしてもB状態となり、分極が残留しチャネルが形成されたままとなる。この逆に、ゲート電極4に-V<sub>max</sub>の電圧(または基板1に+V<sub>max</sub>の電圧)を印加するとCの状態まで分極し、電圧を0にするとDの状態となる。この過程においてはチャネルは形成されない。

【0019】次に、本発明の半導体素子(半導体装置)の成膜プロセスについて説明する。図3は本発明の半導体素子の第1実施例の成膜プロセスの一実施例を示す。図において、7はp型SiC基板、8は強誘電体薄膜、9はゲート電極、10はn型不純物拡散層を示す。

【0020】ステップ1:p型SiC基板7上にPZTからなる強誘電体薄膜8およびゲート電極9をこの順で膜厚をそれぞれ3000Å、3000Åにて成膜する。成膜は、スパッタリング法、CVD法、ゾルーゲル法等を用いる。ただし、結晶化のため基板温度を約650℃で成膜するか、あるいは成膜後650℃で熱処理を行う。(図3(a)参照)

【0021】ステップ2:エッティングすることにより、不要部分の強誘電体薄膜8およびゲート電極9を除去する。エッティングは強酸によるウェットエッティングも可能であるが、微細加工性を考えるとドライエッティングが好ましい。具体的には、ArイオンやClイオンによるイオンミリング、ハロゲン化合物やCH<sub>4</sub>/H<sub>2</sub>等によるRIE等がある。(図3(b)参照)

【0022】ステップ3:p型SiC基板7の強誘電体薄膜8およびゲート電極9が積層されている側にイオン注入法によりPを注入する。このとき、基板温度を高くすると(700℃程度まで)注入しやすくなる。(図3(c)参照)

【0023】以下、従来のMOS型トランジスタと同様にして半導体装置を作製する。

【0024】図4は本発明の第2実施例の成膜プロセス

10

4

の一実施例を示す。図において、11はn型SiCエピタキシャル層、12は導電膜を示す。なお、図3と同一符号を付したものは同一または類似の要素を示す。

【0025】ステップ1:p型SiC基板7上にエピタキシャル成膜層によりn型SiCエピタキシャル層11を膜厚を2μmまでに成膜する。(図4(a)参照)

【0026】ステップ2:このn型SiCエピタキシャル層11上にLPCVD法により、所定パターンでポリシリコンからなる導電膜12を膜厚3000Åで成膜する。(図4(a)参照)

【0027】ステップ3:この導電膜12が形成されたp型SiC基板7上にPZTからなる強誘電体膜8を前記と同様に膜厚を3000Åで成膜する。(図4(c)参照)

【0028】ステップ4:強誘電体膜8を前記と同様に、所定パターンでパターニングする。しかるのち、PtまたはAlからなる配線層13を通常の方法、例えはスパッタリング法により、所定パターンで膜厚3000Åで成膜する。(図4(d)参照)

【0029】図5は第3実施例の成膜プロセスの一実施例を示す。図において、14はp型SiC基板、15はn型SiC層、16は強誘電体薄膜、17はゲート電極、18はp型不純物拡散層を示す。

【0030】ステップ1:p型シリコン基板14上にn型SiC層15を、常圧CVD法により、膜厚を2μmまでに成膜する。その際、反応ガスとしてSiH<sub>4</sub>、C<sub>2</sub>H<sub>6</sub>を用い、基板温度約1400℃、ガス圧力約0.1μTorrで行う。また、n型とするために反応ガスにPH<sub>3</sub>を適量混入する。

【0031】ステップ2:PZTからなる強誘電体薄膜16およびPtまたはAlからなるゲート電極17を前記と同様に膜厚をそれぞれ3000Åおよび3000Åで成膜する。(図5(b)参照)

【0032】ステップ3:強誘電体薄膜16およびゲート電極17の不要部分を、前記と同様にエッティングにより除去する。(図5(c)参照)

【0033】ステップ4:p型不純物拡散層18をイオン注入法によりボロンを注入することによりn型SiC層15中の所定範囲に形成する。このとき、基板温度を高くすると(700℃程度まで)注入しやすくなる。(図5(d)参照)

【0034】図6は本発明の第4実施例の成膜プロセスの一実施例を示す。図において、19はp型SiCエピタキシャル層、20は導電膜、21は配線層を示す。なお、図5と同一符号を付したものは同一または類似の要素を示す。

【0035】ステップ1:p型シリコン基板14上にn型SiC層15を前記と同様に膜厚を2μmまでに成膜し、しかるのち、エピタキシャル成膜法によりp型SiCエピタキシャル層19を膜厚を2μmまでに成膜す

(4)

特開平5-136426

る。（図6（a）参照）

【0036】ステップ2：ポリシコンからなる導電膜20を前記と同様に、所定パターンにて膜厚3000Åで成膜する。（図6（b）参照）

【0037】ステップ3：強誘電体層16を前記と同様に膜厚3000Åで、導電膜20が成膜されたp型シリコン基板14上に成膜する。（図6（c）参照）

【0038】ステップ4：強誘電体層16を所定パターンにバーニングし、かかるのち、スパッタリング法することにより、PtまたはAlからなる配線層21を所定パターンにて膜厚3000Åで成膜する。（図6（d）参照）

【0039】

【発明の効果】以上説明したように本発明によれば次のような効果が得られる。

【0040】①格子定数の相違が小さいため、結晶性の良い強誘電体膜が得られる。

【0041】②強誘電体構成元素のイオン（Pb含有ペロブスカイト構造体、例えばPZT系強誘電体の場合、Pbイオン）などがSi基板やGaAs基板中に拡散する事がない。

【0042】③Si基板やGaAs基板とPZT系強誘電体層との界面にSiO<sub>2</sub>などの不要な膜が生成される事がない。

【0043】また、本発明の製法によればSiC層を用いているにもかかわらず、大型の半導体素子を作製することができる。

【図面の簡単な説明】

【図1】本発明の半導体素子用いた強誘電体メモリトランジスタの一実施例の要部断面図である。

【図2】図1に示すメモリトランジスタの電圧と分極の関係を示すグラフである。

【図3】本発明の半導体素子の第1実施例の成膜プロセスの一実施例の説明図である。

【図4】本発明の半導体素子の第2実施例の成膜プロセスの一実施例の説明図である。

【図5】本発明の半導体素子の第3実施例の成膜プロセスの一実施例の説明図である。

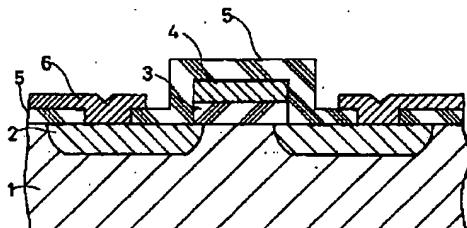
【図6】本発明の半導体素子の第4実施例の成膜プロセスの一実施例の説明図である。

【図7】従来のMFS型半導体素子の要部断面図である。

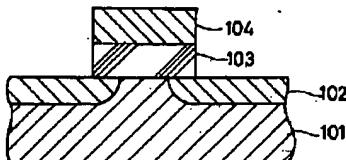
【符号の説明】

- 1 p型SiC基板
- 2 n型不純物拡散層
- 3 強誘電体層
- 4 ゲート電極
- 5 層間絶縁膜
- 6 配線層導電膜
- 7 p型SiC基板
- 8 強誘電体薄膜
- 9 ゲート電極
- 10 n型不純物拡散層
- 11 n型SiCエピタキシャル層
- 12 導電膜
- 13 配線層
- 14 p型Si基板
- 15 n型SiC層
- 16 強誘電体薄膜
- 17 ゲート電極
- 18 p型不純物拡散層
- 19 p型SiCエピタキシャル層
- 20 導電膜
- 21 配線層

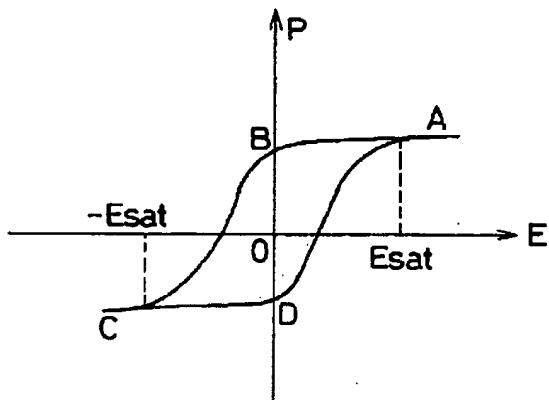
【図1】



【図7】



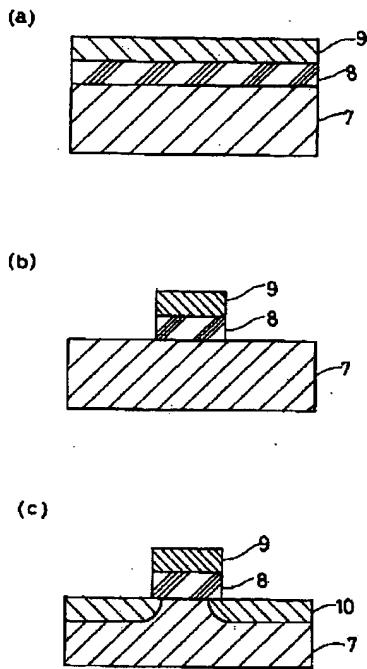
【図2】



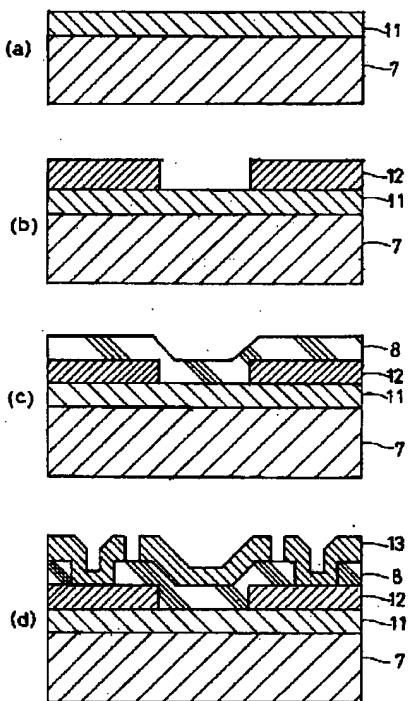
(5)

特開平5-136426

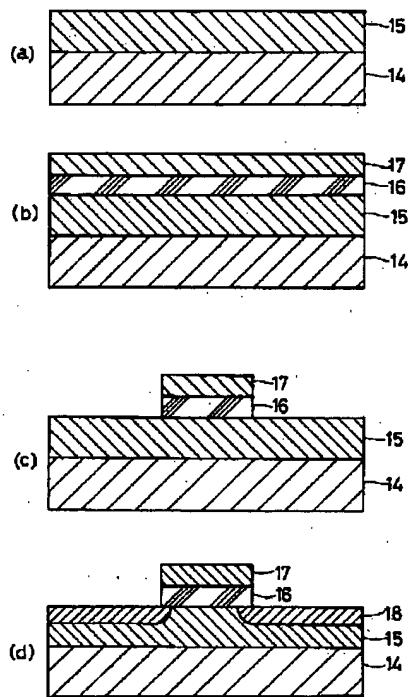
【図3】



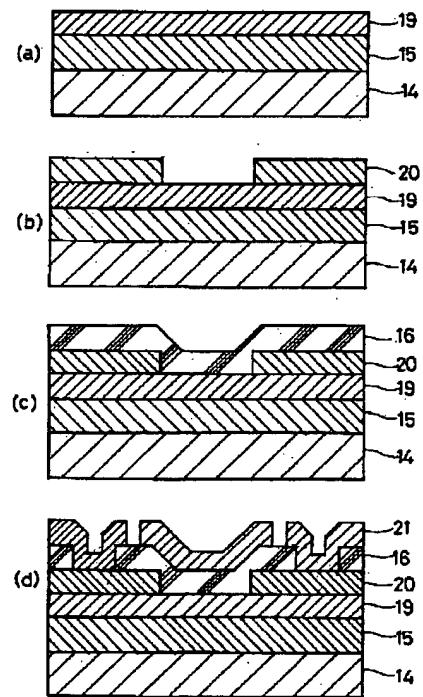
【図4】



【図5】



【図6】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**